

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6266185号
(P6266185)

(45) 発行日 平成30年1月24日 (2018. 1. 24)

(24) 登録日 平成30年1月5日 (2018. 1. 5)

(51) Int. Cl.

F I

A 6 1 B 1/04 (2006. 01)

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/768 (2006. 01)

H O 1 L 23/522 (2006. 01)

H O 1 L 23/12 (2006. 01)

A 6 1 B 1/04

H O 1 L 21/88 J

H O 1 L 23/12 5 O 1 P

H O 1 L 25/08 C

H O 1 L 25/16 A

請求項の数 11 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2017-541720 (P2017-541720)

(86) (22) 出願日 平成28年9月26日 (2016. 9. 26)

(86) 国際出願番号 PCT/JP2016/078311

(87) 国際公開番号 WO2017/057291

(87) 国際公開日 平成29年4月6日 (2017. 4. 6)

審査請求日 平成29年8月7日 (2017. 8. 7)

(31) 優先権主張番号 特願2015-196254 (P2015-196254)

(32) 優先日 平成27年10月1日 (2015. 10. 1)

(33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000000376

オリンパス株式会社

東京都八王子市石川町2951番地

(74) 代理人 110002147

特許業務法人酒井国際特許事務所

(72) 発明者 五十嵐 考俊

東京都八王子市石川町2951番地 オリ
ンパス株式会社内

(72) 発明者 藤森 紀幸

東京都八王子市石川町2951番地 オリ
ンパス株式会社内

(72) 発明者 小野 誠

東京都八王子市石川町2951番地 オリ
ンパス株式会社内

最終頁に続く

(54) 【発明の名称】 撮像素子、内視鏡、及び内視鏡システム

(57) 【特許請求の範囲】

【請求項 1】

受光量に応じた撮像信号を生成して出力する複数の画素が二次元マトリクス状に配置されている受光部、及び、前記複数の画素から所定の画素を順次選択し、該選択された画素から出力される前記撮像信号を読み出す読み出し回路を有する第1チップと、

前記受光部の前記複数の画素が配列される面と直交する方向に沿って、前記第1チップの光の入射面の裏面側に積層接続されており、前記読み出し回路が前記選択された画素から出力される前記撮像信号を読み出すタイミングを制御するタイミング制御回路、前記第1チップから出力されるアナログ信号に対してA/D変換を行うA/D変換回路、及び、前記A/D変換回路から出力されたデジタル信号を伝送ケーブルに伝送するケーブル伝送回路を有する第2チップと、

前記第1チップと前記第2チップとを電気的に接続する接続部と、

を備える撮像素子であって、

前記受光部は、矩形状をなしており、

前記読み出し回路は、前記矩形状の前記受光部の一辺に沿って配置されているカラム読み出し回路及び水平選択回路と、前記矩形状の前記受光部の前記カラム読み出し回路及び水平選択回路が配置されている一辺と直交する一辺に沿って配置されている垂直選択回路と、を有し、

前記第1チップにおける前記接続部は、前記矩形状の前記受光部の前記カラム読み出し回路、水平選択回路、及び前記垂直選択回路が配置されていない辺に沿った第1領域、及

び、前記カラム読み出し回路及び前記水平選択回路と、前記垂直選択回路とに隣接する第2領域に配置されており、

前記第2チップにおける前記接続部は、前記タイミング制御回路、前記A/D変換回路、及び、前記ケーブル伝送回路の周囲の第3領域、及び、前記タイミング制御回路と、前記A/D変換回路とに隣接する第4領域に配置されており、

前記第1領域及び前記第3領域と、前記第2領域及び前記第4領域とは、それぞれ前記受光部の前記複数の画素が配列される面と直交する方向に沿って重なるように配置されていることを特徴とする撮像素子。

【請求項2】

前記第1チップと前記第2チップとは、前記第1チップを貫通する複数の第1のSi貫通電極で電氣的に接続されていることを特徴とする請求項1に記載の撮像素子。

10

【請求項3】

前記第1チップの前記光の入射面側に形成された多層配線層を備え、

該多層配線層の光の入射面側の層には、画像検査を行う検査用のプローブを接触させるプロービングパッドが形成されており、

該多層配線層の前記第1チップ側の層には、該多層配線層と前記第1のSi貫通電極とを電氣的に接続する接続パッドが形成されていることを特徴とする請求項2に記載の撮像素子。

【請求項4】

前記第1のSi貫通電極のうち、

画像検査に用いる前記第1のSi貫通電極のみが前記接続パッドを介して前記プロービングパッドに電氣的に接続されていることを特徴とする請求項3に記載の撮像素子。

20

【請求項5】

前記第1チップの前記光の入射面の裏面には、複数の引き出し配線を有する再配線層が形成されており、

前記複数の第1のSi貫通電極の各電極は、

矩形状の断面をなしているとともに千鳥格子状に配置されており、

前記再配線層において該第1のSi貫通電極の両側を通過する前記引き出し配線に対して、該第1のSi貫通電極の前記矩形の一边が平行になるように配置されていることを特徴とする請求項2に記載の撮像素子。

30

【請求項6】

前記複数の第1のSi貫通電極の各電極は、前記複数の引き出し配線の引き出し方向に対して、前記矩形の各辺が45度で交わるように配置されていることを特徴とする請求項5に記載の撮像素子。

【請求項7】

前記第2チップの前記第1チップ側の面の裏面に再配線を介して形成され、外部と電源及び信号の送受信を行う外部端子を備え、

前記第2チップと前記外部端子とは、前記第2チップを貫通する第2のSi貫通電極で電氣的に接続されていることを特徴とする請求項1に記載の撮像素子。

【請求項8】

40

前記第1チップの前記光の入射面の裏面側に形成された多層配線層を備え、

該多層配線層の前記第1チップ側の層には、画像検査を行う検査用のプローブを接触させるプロービングパッドが形成されており、

該多層配線層の前記第2チップ側の層には、該多層配線層と前記第2のSi貫通電極とを電氣的に接続する接続パッドが形成されていることを特徴とする請求項7に記載の撮像素子。

【請求項9】

前記第2チップの前記第1チップ側の面の裏面には、複数の引き出し配線を有する再配線層が形成されており、

前記第2のSi貫通電極の各電極は、矩形状の断面をなしているとともに千鳥格子状に

50

配置されており、

前記再配線層において該第2のSi貫通電極の両側を通過する前記引き出し配線に対して、該第2のSi貫通電極の前記矩形の一边が平行になるように配置されていることを特徴とする請求項7に記載の撮像素子。

【請求項10】

請求項1に記載の撮像素子を、被検体内に挿入可能な挿入部の先端側に有することを特徴とする内視鏡。

【請求項11】

請求項10に記載の内視鏡と、

前記内視鏡の前記撮像素子が出力する前記デジタル信号を画像信号に変換する処理装置と、を備えることを特徴とする内視鏡システム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子、内視鏡、及び内視鏡システムに関する。

【背景技術】

【0002】

CMOS(Complementary Metal Oxide Semiconductor)等の撮像素子は、複数の画素を有する受光部と、受光部から信号を読み出す読み出し回路等の周辺回路と、を備える。

20

【0003】

ところで、内視鏡では、体腔内に挿入する挿入部の先端で撮像した撮像信号を画像処理装置までケーブル伝送する必要がある。撮像信号をアナログ信号のままケーブル伝送する場合、ピクセルレートに限界があり、撮像素子の高画素化による画質改善が困難である。そのため、内視鏡用の撮像素子は、撮像信号をアナログデジタル(A/D)変換するA/D変換回路を備える必要がある。

【0004】

特許文献1には、チップ面積を削減するため、周辺回路を別チップに配置したカラム並列A/D変換回路が開示されている。この構成では、画素領域を有するチップと周辺回路を有するチップとを積層し、チップ間をTSV(Through-Silicon Via: Si貫通電極)等で接続している。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2014-17834号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に開示されているカラム並列A/D変換回路では、カラム方向に面積を必要とする単位回路を繰り返し配置する必要がある。従って、この構成では、チップ面積を十分に小さくすることができない。

40

【0007】

本発明は、上記に鑑みてなされたものであって、A/D変換機能を備え、かつチップ面積が十分に小さい撮像素子、内視鏡、及び内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するために、本発明の一態様に係る撮像素子は、受光量に応じた撮像信号を生成して出力する複数の画素が二次元マトリクス状に配置されている受光部、及び、前記複数の画素から所定の画素を順次選択し、該選択された画素から出力される前記撮像信号を読み出す読み出し回路を有する第1チップと、前記受光部の前

50

記複数の画素が配列される面と直交する方向に沿って、前記第1チップの光の入射面の裏面側に積層接続されており、前記読み出し回路が前記選択された画素から出力される前記撮像信号を読み出すタイミングを制御するタイミング制御回路、前記第1チップから出力されるアナログ信号に対してA/D変換を行うA/D変換回路、及び、前記A/D変換回路から出力されたデジタル信号を伝送ケーブルに伝送するケーブル伝送回路を有する第2チップと、を備えることを特徴とする。

【0009】

また、本発明の一態様に係る撮像素子は、前記受光部は、矩形状をなしており、前記読み出し回路は、前記矩形状の前記受光部の一辺に沿って配置されているカラム読み出し回路及び水平選択回路と、前記矩形状の前記受光部の前記カラム読み出し回路及び水平選択回路が配置されている一辺と直交する一辺に沿って配置されている垂直選択回路と、を有し、前記第1チップと前記第2チップとを電氣的に接続する接続部が、前記矩形状の前記受光部の前記カラム読み出し回路、水平選択回路、及び前記垂直選択回路が配置されていない辺に沿った領域に配置されていることを特徴とする。

10

【0010】

また、本発明の一態様に係る撮像素子は、前記第1チップと前記第2チップとは、前記第1チップを貫通する第1のSi貫通電極で電氣的に接続されていることを特徴とする。

【0011】

また、本発明の一態様に係る撮像素子は、前記第1チップの前記光の入射面側に形成された多層配線層を備え、該多層配線層の光の入射面側の層には、画像検査を行う検査用のプローブを接触させるプロービングパッドが形成されており、該多層配線層の前記第1チップ側の層には、該多層配線層と前記第1のSi貫通電極とを電氣的に接続する接続パッドが形成されていることを特徴とする。

20

【0012】

また、本発明の一態様に係る撮像素子は、前記第1のSi貫通電極のうち、画像検査に用いる前記第1のSi貫通電極のみが前記接続パッドを介して前記プロービングパッドに電氣的に接続されていることを特徴とする。

【0013】

また、本発明の一態様に係る撮像素子は、前記第1チップの前記光の入射面の裏面には、複数の引き出し配線を有する再配線層が形成されており、前記第1のSi貫通電極の各電極は、矩形状の断面をなしているとともに千鳥格子状に配置されており、前記再配線層において該第1のSi貫通電極の両側を通過する前記引き出し配線に対して、該第1のSi貫通電極の前記矩形の一辺が平行になるように配置されていることを特徴とする。

30

【0014】

また、本発明の一態様に係る撮像素子は、前記第2チップの前記第1チップ側の面の裏面に再配線を介して形成され、外部と電源及び信号の送受信を行う外部端子を備え、前記第2チップと前記外部端子とは、前記第2チップを貫通する第2のSi貫通電極で電氣的に接続されていることを特徴とする。

【0015】

また、本発明の一態様に係る撮像素子は、前記第1チップの前記光の入射面の裏面側に形成された多層配線層を備え、該多層配線層の前記第1チップ側の層には、画像検査を行う検査用のプローブを接触させるプロービングパッドが形成されており、該多層配線層の前記第2チップ側の層には、該多層配線層と前記第2のSi貫通電極とを電氣的に接続する接続パッドが形成されていることを特徴とする。

40

【0016】

また、本発明の一態様に係る撮像素子は、前記第2チップの前記第1チップ側の面の裏面には、複数の引き出し配線を有する再配線層が形成されており、前記第2のSi貫通電極の各電極は、矩形状の断面をなしているとともに千鳥格子状に配置されており、前記再配線層において該第2のSi貫通電極の両側を通過する前記引き出し配線に対して、該第2のSi貫通電極の前記矩形の一辺が平行になるように配置されていることを特徴とする

50

。

【 0 0 1 7 】

また、本発明の一態様に係る内視鏡は、上記の撮像素子を、被検体内に挿入可能な挿入部の先端側に有することを特徴とする。

【 0 0 1 8 】

また、本発明の一態様に係る内視鏡システムは、上記の内視鏡と、前記内視鏡の前記撮像素子が出力する前記デジタル信号を画像信号に変換する処理装置と、を備えることを特徴とする。

【 発明の効果 】

【 0 0 1 9 】

本発明によれば、A / D 変換機能を備え、かつチップ面積が十分に小さい撮像素子、内視鏡、及び内視鏡システムを実現することができる。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 図 1 は、実施の形態 1 に係る撮像素子を含む内視鏡システム全体の構成を示す模式図である。

【 図 2 】 図 2 は、実施の形態 1 に係る撮像素子を含む内視鏡システムの要部の機能を示すブロック図である。

【 図 3 】 図 3 は、実施の形態 1 に係る撮像素子の上面図である。

【 図 4 】 図 4 は、実施の形態 1 に係る撮像素子の断面図である。

【 図 5 】 図 5 は、実施の形態 1 に係る撮像素子の C I S の断面図である。

【 図 6 】 図 6 は、実施の形態 1 に係る撮像素子の I S P の断面図である。

【 図 7 】 図 7 は、図 4 の C I S を光の入射面の裏面から見た部分拡大図である。

【 図 8 】 図 8 は、図 4 の多層配線層を拡大した部分断面図である。

【 図 9 】 図 9 は、実施の形態 1 に係る撮像素子の製造方法の概要を示すフローチャートである。

【 図 1 0 】 図 1 0 は、実施の形態 1 の変形例 1 に係る撮像素子の断面図である。

【 図 1 1 】 図 1 1 は、実施の形態 1 の変形例 2 に係る撮像素子の断面図である。

【 図 1 2 】 図 1 2 は、実施の形態 1 の変形例 3 に係る撮像素子の断面図である。

【 図 1 3 】 図 1 3 は、図 1 2 の多層配線層を拡大した部分断面図である。

【 図 1 4 】 図 1 4 は、実施の形態 2 に係る撮像素子の上面図である。

【 図 1 5 】 図 1 5 は、実施の形態 2 に係る撮像素子の C I S の断面図である。

【 図 1 6 】 図 1 6 は、実施の形態 2 に係る撮像素子の I S P の断面図である。

【 発明を実施するための形態 】

【 0 0 2 1 】

以下、本発明を実施するための形態（以下、「実施の形態」という）として、被検体内に先端が挿入される内視鏡を備えた内視鏡システムについて説明する。また、この実施の形態により、本発明が限定されるものではない。さらに、図面の記載において、同一の部分には同一の符号を付して説明する。さらにまた、図面は、模式的なものであり、各部材の厚みと幅との関係、各部材の比率等は、現実と異なることに留意する必要がある。また、図面の相互間においても、互いの寸法や比率が異なる部分が含まれている。

【 0 0 2 2 】

（ 実施の形態 1 ）

〔 内視鏡システムの構成 〕

図 1 は、実施の形態 1 に係る撮像素子を含む内視鏡システム全体の構成を示す模式図である。図 1 に示す内視鏡システム 1 は、内視鏡 2 と、伝送ケーブル 3 と、操作部 4 と、コネクタ部 5 と、プロセッサ 6（処理装置）と、表示装置 7 と、光源装置 8 と、を備える。

【 0 0 2 3 】

内視鏡 2 は、被検体内に挿入可能な挿入部 1 0 0 を備え、挿入部 1 0 0 を被検体の体内に挿入することによって被検体の体内を撮像して撮像信号（画像データ）をプロセッサ

10

20

30

40

50

6へ出力する。また、内視鏡2は、伝送ケーブル3の一端側であり、被検体の体腔内に挿入される挿入部100の先端101側に、体内画像の撮像を行う撮像部20（撮像装置）が設けられており、挿入部100の基端102に、内視鏡2に対する各種操作を受け付ける操作部4が設けられている。撮像部20が撮像した画像の撮像信号は、例えば、数mの長さを有する伝送ケーブル3を通り、コネクタ部5に出力される。

【0024】

伝送ケーブル3は、内視鏡2とコネクタ部5とを接続するとともに、内視鏡2と光源装置8とを接続する。また、伝送ケーブル3は、撮像部20が生成した撮像信号をコネクタ部5へ伝搬する。伝送ケーブル3は、ケーブルや光ファイバ等を用いて構成される。

【0025】

コネクタ部5は、内視鏡2、プロセッサ6及び光源装置8に接続され、接続された内視鏡2が出力する撮像信号をプロセッサ6へ伝送する。

【0026】

プロセッサ6は、コネクタ部5から入力される撮像信号に所定の画像処理を施して表示装置7へ出力する。また、プロセッサ6は、内視鏡システム1全体を統括的に制御する。例えば、プロセッサ6は、光源装置8が出射する照明光を切り替えたり、内視鏡2の撮像モードを切り替えたりする制御を行う。

【0027】

表示装置7は、プロセッサ6が画像処理を施した撮像信号に対応する画像を表示する。また、表示装置7は、内視鏡システム1に関する各種情報を表示する。表示装置7は、液晶や有機EL（Electro Luminescence）等の表示パネル等を用いて構成される。

【0028】

光源装置8は、コネクタ部5及び伝送ケーブル3を経由して内視鏡2の挿入部100の先端101側から被写体へ向けて照明光を照射する。光源装置8は、白色光を発する白色LED（Light Emitting Diode）及び白色光の波長帯域より狭い波長帯域を有する狭帯域光のNBI（Narrow Band Imaging：狭帯域光観察）照明光を発するLED等を用いて構成される。光源装置8は、プロセッサ6の制御のもと、内視鏡2を介して白色光又はNBI照明光を被写体に向けて照射する。なお、本実施の形態1では、光源装置8は、同時方式の照明方式が採用される。

【0029】

図2は、実施の形態1に係る撮像素子を含む内視鏡システムの要部の機能を示すブロック図である。図2を参照して、内視鏡システム1の各部構成の詳細及び内視鏡システム1内の電気信号の経路について説明する。

【0030】

〔内視鏡の構成〕

まず、内視鏡2の構成について説明する。図2に示す内視鏡2は、撮像部20と、伝送ケーブル3と、コネクタ部5と、を備える。

【0031】

撮像部20は、撮像素子21を備える。撮像素子21は、互いに積層接続されている、第1チップとしてのCIS（CMOS Image Sensor）22と、第2チップとしてのISP（Image Signal Processor）23と、を備える。

【0032】

CIS22は、受光量に応じた撮像信号を生成して出力する複数の画素が二次元マトリクス状に配置されている受光部22a、及び、受光部22aの複数の画素から所定の画素を順次選択し、選択された画素から出力される撮像信号を読み出す複数の読み出し回路22bを有し、CISとして機能する。

【0033】

ISP23は、読み出し回路22bが受光部22aの選択された画素から出力される撮像信号を読み出すタイミングを制御するタイミング制御回路23a、CIS22から出力

10

20

30

40

50

されるアナログ信号に対してA/D変換を行うA/D変換回路23b、及び、A/D変換回路23bから出力されたデジタル信号を伝送ケーブル3に伝送するケーブル伝送回路23cを有し、ISPとして機能する。なお、撮像素子21についてのより詳細な説明は後述する。

【0034】

ライトガイド24は、光源装置8から出射された照明光を被写体に向けて照射する。ライトガイド24は、グラスファイバや照明レンズ等を用いて実現される。

【0035】

コネクタ部5は、駆動パルス生成部51と、電源電圧生成部52を有する。

【0036】

駆動パルス生成部51は、プロセッサ6から供給され、内視鏡2の各構成部の動作の基準となる基準クロック信号（例えば、27MHzのクロック信号）に基づいて、各フレームのスタート位置を表す同期信号を生成して、基準クロック信号とともに、伝送ケーブル3を介して撮像部20のタイミング制御回路23aへ出力する。ここで、駆動パルス生成部51が生成する同期信号は、水平同期信号と垂直同期信号とを含む。

【0037】

電源電圧生成部52は、プロセッサ6から供給される電源から、撮像部20を駆動するのに必要な電源電圧を生成して撮像部20へ出力する。電源電圧生成部52は、レギュレータなどを用いて撮像部20を駆動するのに必要な電源電圧を生成する。

【0038】

〔プロセッサの構成〕

次に、プロセッサ6の構成について説明する。

プロセッサ6は、内視鏡システム1の全体を統括的に制御する制御装置である。プロセッサ6は、電源部61と、画像信号処理部62と、クロック生成部63と、記録部64と、入力部65と、プロセッサ制御部66と、を備える。

【0039】

電源部61は、電源電圧生成部52に電源を供給するとともに、グラウンドをコネクタ部5及び伝送ケーブル3を介して、撮像部20に供給する。

【0040】

画像信号処理部62は、ISP23でA/D変換されたデジタルの撮像信号に対して、同時化处理、ホワイトバランス(WB)調整処理、ゲイン調整処理、ガンマ補正処理、フォーマット変換処理等の画像処理を行って画像信号に変換し、この画像信号を表示装置7へ出力する。

【0041】

クロック生成部63は、内視鏡システム1の各構成部の動作の基準となる基準クロック信号を生成し、この基準クロック信号を駆動パルス生成部51へ出力する。

【0042】

記録部64は、内視鏡システム1に関する各種情報や処理中のデータ等を記録する。記録部64は、FlashメモリやRAM(Random Access Memory)等の記録媒体を用いて構成される。

【0043】

入力部65は、内視鏡システム1に関する各種操作の入力を受け付ける。例えば、入力部65は、光源装置8が出射する照明光の種別を切り替える指示信号の入力を受け付ける。入力部65は、例えば十字スイッチやプッシュボタン等を用いて構成される。

【0044】

プロセッサ制御部66は、内視鏡システム1を構成する各部を統括的に制御する。プロセッサ制御部66は、CPU(Central Processing Unit)等を用いて構成される。プロセッサ制御部66は、入力部65から入力された指示信号に応じて、光源装置8が出射する照明光を切り替える。

【0045】

10

20

30

40

50

〔光源装置の構成〕

次に、光源装置 8 の構成について説明する。光源装置 8 は、光源部 8 1 と、集光レンズ 8 2 と、照明制御部 8 3 と、を備える。

【0046】

光源部 8 1 は、照明制御部 8 3 の制御のもと、集光レンズ 8 2 を介してライトガイド 2 4 に向けて照明光を出射する。光源部 8 1 は、白色 LED を用いて構成される。なお、本実施の形態 1 では、光源部 8 1 を白色 LED によって構成しているが、例えばキセノンランプ、又は赤色 LED、緑色 LED 及び青色 LED を組み合わせて白色光を出射させてもよい。また、内視鏡システム 1 は、NBI、AFI (Auto Fluorescence Imaging : 蛍光観察)、IRI (Infrared Imaging : 赤外光観察) で観察する機能を有していてもよい。

10

【0047】

集光レンズ 8 2 は、光源部 8 1 が出射した照明光を集光してライトガイド 2 4 へ出射する。集光レンズ 8 2 は、一又は複数のレンズを用いて構成される。

【0048】

照明制御部 8 3 は、プロセッサ制御部 6 6 の制御のもと、光源部 8 1 を制御する。具体的には、照明制御部 8 3 は、プロセッサ制御部 6 6 の制御のもと、光源部 8 1 に照明光を出射させる。また、照明制御部 8 3 は、光源部 8 1 が照明光を出射する出射タイミングを制御する。

【0049】

20

次に、撮像素子 2 1 について詳細に説明する。図 3 は、実施の形態 1 に係る撮像素子の上面図である。図 4 は、実施の形態 1 に係る撮像素子の断面図である。図 4 は、図 3 の A - A 線に対応する断面図である。図 5 は、実施の形態 1 に係る撮像素子の CIS の断面図である。図 5 は、図 4 の B - B 線に対応する断面図である。図 6 は、実施の形態 1 に係る撮像素子の ISP の断面図である。図 6 は、図 4 の C - C 線に対応する断面図である。

【0050】

撮像素子 2 1 は、図 4 に示すように、CIS 2 2 と、受光部 2 2 a の複数の画素が配列される面に直交する方向 (図 4 の紙面上下方向) に沿って CIS 2 2 の光の入射面の裏面側に積層接続されている ISP 2 3 と、CIS 2 2 の光の入射面側に形成された多層配線層 2 5 と、CIS 2 2 の光の入射面の裏面と ISP 2 3 との間に形成された多層配線層 2 6 と、カバーガラス 2 7 と、各層を電氣的に接続する TSV 2 8 と、を備える。ISP 2 3 の CIS 2 2 側の面の裏面には、不図示の再配線層を介して形成され、外部と電源及び信号の送受信を行う外部端子 2 9 が形成されている。外部端子 2 9 は、不図示の基板と接続され、さらに伝送ケーブル 3 に接続されている。

30

【0051】

TSV 2 8 は、CIS 2 2 を貫通する第 1 の Si 貫通電極としての TSV 2 8 a と ISP 2 3 を貫通する第 2 の Si 貫通電極としての TSV 2 8 b とを有する。CIS 2 2 と ISP 2 3 とは、TSV 2 8 a で電氣的に接続されている。ISP 2 3 と外部端子 2 9 とは、TSV 2 8 b で電氣的に接続されている。

【0052】

40

図 3、図 5 に示すように、CIS 2 2 の受光部 2 2 a は、矩形状をなしている。読み出し回路 2 2 b は、カラム読み出し回路 2 2 b a と、水平選択回路 2 2 b b と、垂直選択回路 2 2 b c と、を有し、受光部 2 2 a の各画素から撮像信号を読み出す。カラム読み出し回路 2 2 b a 及び水平選択回路 2 2 b b は、矩形状の受光部 2 2 a の一辺に沿って配置されている。垂直選択回路 2 2 b c は、矩形状の受光部 2 2 a のカラム読み出し回路 2 2 b a 及び水平選択回路 2 2 b b が配置されている一辺と直交する一辺に沿って配置されている。

【0053】

図 5、図 6 には、TSV 2 8 a 又は TSV 2 8 b が形成される領域 (TSV 領域) を図示した。この TSV 領域 (TSV 2 8 a) は、CIS 2 2 と ISP 2 3 とを電氣的に接続

50

する接続部として機能する。TSV28aは、矩形状の受光部22aのカラム読み出し回路22ba、水平選択回路22bb、及び垂直選択回路22bcが配置されていない辺に沿った領域に配置されている。

【0054】

図6に示すように、ISP23においてTSV28bは、タイミング制御回路23aと、A/D変換回路23bと、ケーブル伝送回路23cと、が配置されている領域の周囲の領域に配置されている。

【0055】

図7は、図4のCISを光の入射面の裏面から見た部分拡大図である。図7に示すように、CIS22の光の入射面の裏面(図4の面P1)には、複数の引き出し配線30を有する再配線層が形成されている。TSV28aの各電極は、矩形状の断面をなしているとともに千鳥格子状に配置されている。

10

【0056】

TSV28aは、接続された引き出し配線30以外の引き出し配線30との距離が離間して配置されている方が好ましい。そのため、再配線層において、TSV28aの各電極は、各TSV28aの両側を通過する引き出し配線30に対して、各TSV28aの矩形の一边が平行になるように配置されている。例えば、図7の右側の図では、TSV28a及びTSV28abを図7の左側の図の位置から45度回転させることにより、TSV28aa及びTSV28abの矩形の一边と引き出し配線30aとが平行になるように配置されている。その結果、TSV28aa及びTSV28abと引き出し配線30aとの距離L1及び距離L2を大きくすることができる。一方で、TSV28acは、図7の左側の図の位置から回転させない方がTSV28acとTSV28acを挟んで上下に位置する引き出し配線30との距離をより大きくすることができる。

20

【0057】

同様に、IPS23のCIS22側の面の裏面(図4の面P2)には、複数の引き出し配線を有する再配線層が形成されている。TSV28bの各電極は、矩形状の断面をなしているとともに千鳥格子状に配置されている。TSV28bは、接続された引き出し配線以外の引き出し配線との距離が離間して配置されている方が好ましい。そのため、再配線層において、TSV28bの各電極は、各TSV28bの両側を通過する引き出し配線に対して、各TSV28bの矩形の一边が平行になるように配置されている。

30

【0058】

図8は、図4の多層配線層を拡大した部分断面図である。図8に示すように、多層配線層25は、例えば3層の配線層を有する。多層配線層25の光の入射面側(図8の上方)の層には、画像検査を行う検査用のプローブを接触させるプロービングパッド25aが形成されている。多層配線層25のCIS22側(図8の下方)の層には、多層配線層25とTSV28aとを電氣的に接続する接続パッドとしてのTSV接続パッド25bが形成されている。プロービングパッド25aとTSV接続パッド25bとの間の各層間をコンタクトプラグ25cが電氣的に接続している。また、コンタクトプラグ25c間は、層間絶縁膜25dにより絶縁されている。この多層配線層25において、例えばVDD、VSS、OUT等の検査に必要な配線にプロービングパッド25aを形成することにより、カバーガラス27を形成する前の状態において、撮像素子21の表側から画像検査を行うことが可能となる。

40

【0059】

なお、CIS22とISP23との間を電氣的に接続するTSV28aの内、画像検査に用いるTSV28aのみがTSV接続パッド25bを介してプロービングパッド25aに電氣的に接続されている構成としてもよい。この構成により、プロービングのために大きな面積が必要なプロービングパッド25aの数を最低限に留めることができ、チップ面積の増大を防ぐことができる。

【0060】

ここで、撮像素子21では、面積を要するA/D変換回路23b及びケーブル伝送回路

50

23cを受光部22aと別けてISP23に配置することで、チップ面積を小さくすることができる。なおかつ、撮像素子21は、A/D変換回路23bにより、撮像信号をデジタル信号で伝送することにより、高帯域の伝送が可能となり、撮像素子の高画素化、電メス耐性の向上を実現することが可能となる。さらに、撮像素子21では、CIS22に小型化に適したカラム読み出し回路22ba（アナログCDS回路）を配置している。そして、撮像信号をCIS22からシリアルにISP23に伝送することで、少ない本数のTSV28で、CIS22とISP23とを接続でき、TSV28が占有するチップ面積を小さくすることができる。その結果、撮像素子21は、A/D変換機能を備え、かつチップ面積が十分に小さい撮像素子である。

【0061】

10

また、撮像素子21では、TSV28を図5、図6で示すような周辺領域に配置することにより、撮像素子21の中心と受光部22aの中心とを略一致させることができ、光学系を含めた撮像部20を小型化することができる。

【0062】

次に、撮像素子21の製造方法について説明する。図9は、実施の形態1に係る撮像素子の製造方法の概要を示すフローチャートである。はじめに、公知の半導体集積回路形成工程により、CIS22及びISP23を形成する。

【0063】

続いて、CIS22に公知のシリコンエッチング工程や成膜、フォトリソグラフィ工程を用いてTSV28aを形成する（ステップS101）。なお、CIS22にTSV28aを形成する前又は後に、必要に応じてCIS22の光の入射面の裏面側を除去し、CIS22を所定の厚さまで薄くする。なお、CIS22を薄化する前に、CIS22の光の入射面側に支持基板を仮貼り合わせすることで、薄化後のCIS22のハンドリングを容易にすることが好ましい。

20

【0064】

そして、CIS22とISP23との2枚のウエハを積層し、双方を機械的、電氣的に接続する（ステップS102）。

【0065】

ここで、CIS22の表面側からプロービングパッド25aに検査用のプローブを接触させ、積層接続されたCIS22及びISP23の画像検査を行う（ステップS103）。なお、CIS22に支持基板を仮貼り合わせしている場合には、画像検査前に支持基板を剥離し、プロービングパッド25aを露出させてから画像検査を行う。

30

【0066】

その後、CIS22の表面に透明接着層を介してカバーガラス27を接着する（ステップS104）。

【0067】

続いて、ISP23に公知のシリコンエッチング工程や成膜、フォトリソグラフィ工程を用いてTSV28bを形成する（ステップS105）。なお、ISP23にTSV28bを形成する前又は後に、必要に応じてISP23のCIS22側の面の裏面側を除去し、ISP23を所定の厚さまで薄くする。なお、ISP23を薄化する際には、ステップS104で接着したカバーガラス27が支持基板の代わりとなるため、別途支持基板を仮貼り合わせする必要はない。さらに、ISP23のCIS22側の面の裏面に再配線層及び外部端子29を形成する。

40

【0068】

ここで、外部端子29に検査用のプローブを接触させ、パッケージ後の画像検査を行う（ステップS106）。以上説明した手順により、画像検査を行いながら撮像素子21を製造することができる。

【0069】

（変形例1）

図10は、実施の形態1の変形例1に係る撮像素子の断面図である。図10に示すよう

50

に、変形例１に係る撮像素子２１Ａは、ＩＳＰ２３のＣＩＳ２２側の面の裏面側にさらにキャパシタ２０１ａを有するキャパシタチップ２０１と、ＩＳＰ２３のＣＩＳ２２側の面の裏面とキャパシタチップ２０１との間に形成された多層配線層２０２と、を備える。キャパシタ２０１ａは、電源用バイパスコンデンサとして機能する。ＩＳＰ２３とキャパシタチップ２０１とは、ＩＳＰ２３を貫通するＴＳＶ２８ｂで電氣的に接続されている。キャパシタチップ２０１と外部端子２９とは、キャパシタチップ２０１を貫通するＴＳＶ２８Ａｃで電氣的に接続されている。変形例１のように、撮像素子は、ＣＩＳ及びＩＳＰの２層に限られず、さらに多くの半導体層を備える構成であってよい。

【００７０】

（変形例２）

図１１は、実施の形態１の変形例２に係る撮像素子の断面図である。図１１に示すように、変形例２に係る撮像素子２１Ｂは、外部端子２９にフレキシブル基板２１１が接続され、さらにフレキシブル基板２１１にチップコンデンサであるキャパシタ２１２が実装されている。変形例２のように、外部端子にフレキシブル基板が接続されていてもよい。

【００７１】

（変形例３）

図１２は、実施の形態１の変形例３に係る撮像素子の断面図である。図１２に示すように、変形例３に係る撮像素子２１Ｃは、ＣＩＳ２２ＣとＩＳＰ２３との間を電氣的に接続するＣＩＳ側多層配線層２２１及びＩＳＰ側多層配線層２２２と、ＣＩＳ２２Ｃとカバーガラス２７との間を接着する透明接着剤２２３と、を備える。すなわち、撮像素子２１Ｃでは、ＣＩＳ２２Ｃを貫通するＴＳＶが形成されていない。ＣＩＳ２２Ｃは、ＢＳＩ（Ｂackside Illumination）型イメージャチップであり、ＣＩＳ２２ＣとＩＳＰ２３との間は、ＣＩＳ２２Ｃの表面電極を介して電源及び信号の送受信が行われる。ＩＳＰ２３と外部端子２９とは、ＩＳＰ２３を貫通するＴＳＶ２８Ｃａで電氣的に接続されている。変形例３のように、ＣＩＳとＩＳＰとを電氣的に接続する接続部は、ＴＳＶに限られない。

【００７２】

図１３は、図１２の多層配線層を拡大した部分断面図である。図１３に示すように、ＣＩＳ２２Ｃの光の入射面の裏面側に形成された多層配線層としてのＣＩＳ側多層配線層２２１は、例えば３層の配線層を有する。ＣＩＳ側多層配線層２２１のＣＩＳ２２Ｃ側（図１３の上方）の層には、プロービングパッド２２１ａが形成されている。ＣＩＳ側多層配線層２２１のＩＳＰ２３側（図１３の下方）の層には、ＣＩＳ側多層配線層２２１とＴＳＶ２８Ｃａとを電氣的に接続する接続パッドとしてのＴＳＶ接続パッド２２１ｂが形成されている。プロービングパッド２２１ａとＴＳＶ接続パッド２２１ｂとの間の各層間をコンタクトプラグ２２１ｃが電氣的に接続している。また、各コンタクトプラグ２２１ｃ間は、層間絶縁膜２２１ｄにより絶縁されている。

【００７３】

なお、ＣＩＳ２２ＣとＩＳＰ２３との間を電氣的に接続する信号線（コンタクトプラグ２２１ｃ）の内、画像検査に用いる信号線のみがＴＳＶ接続パッド２２１ｂを介してプロービングパッド２２１ａに電氣的に接続されている構成としてもよい。この構成により、プロービングのために大きな面積が必要なプロービングパッド２２１ａの数を最低限に留めることができ、チップ面積の増大を防ぐことができる。

【００７４】

（実施の形態２）

図１４は、実施の形態２に係る撮像素子の上面図である。図１５は、実施の形態２に係る撮像素子のＣＩＳの断面図である。図１６は、実施の形態２に係る撮像素子のＩＳＰの断面図である。図１４～図１６に示すように、実施の形態２に係る撮像素子は、ＴＳＶ２８Ｄａａ、２８Ｄａｂ、２８Ｄｂａ、及びＴＳＶ２８Ｄｂｂの配置のみが実施の形態１と異なり、それ以外の構成は、実施の形態１と同様であるから適宜説明を省略する。

【００７５】

10

20

30

40

50

図 15 に示すように、C I S 2 2 D では、カラム読み出し回路 2 2 b a 及び水平選択回路 2 2 b b が配置されている辺と反対側の辺に沿った領域に T S V 2 8 D a a が配置されている。また、C I S 2 2 D には、カラム読み出し回路 2 2 b a 及び水平選択回路 2 2 b b と垂直選択回路 2 2 b c とに囲まれた領域に T S V 2 8 D a b が配置されている。

【 0 0 7 6 】

図 16 に示すように、I S P 2 3 D では、タイミング制御回路 2 3 a と、A / D 変換回路 2 3 b と、ケーブル伝送回路 2 3 c と、が配置されている領域の周囲の領域に T S V 2 8 D b a 及び T S V 2 8 D b b が配置されている。

【 0 0 7 7 】

実施の形態 2 に係る撮像素子では、図 15、図 16 のように、C I S 2 2 D 及び I S P 2 3 D の余剰スペースに T S V 2 8 D a a、2 8 D a b、2 8 D b a、及び T S V 2 8 D b b を配置しているため、無駄がなくチップ面積を小さくすることができる。実施の形態 2 のように、T S V は、チップ面積を小さくするように配置されていれば、その配置は特に限定されない。

【 0 0 7 8 】

さらなる効果や変形例は、当業者によって容易に導き出すことができる。よって、本発明のより広範な態様は、以上のように表わしかつ記述した特定の詳細及び代表的な実施形態に限定されるものではない。従って、添付のクレーム及びその均等物によって定義される総括的な発明の概念の精神又は範囲から逸脱することなく、様々な変更が可能である。

【 符号の説明 】

【 0 0 7 9 】

1 内視鏡システム

2 内視鏡

3 伝送ケーブル

4 操作部

5 コネクタ部

6 プロセッサ

7 表示装置

8 光源装置

20 撮像部

21、21A、21B、21C 撮像素子

22、22C、22D C I S

22a 受光部

22b 読み出し回路

22ba カラム読み出し回路

22bb 水平選択回路

22bc 垂直選択回路

23、23D I S P

23a タイミング制御回路

23b A / D 変換回路

23c ケーブル伝送回路

24 ライトガイド

25、26、202 多層配線層

25a、221a プロービングパッド

25b、221b T S V 接続パッド

25c、221c コンタクトプラグ

25d、221d 層間絶縁膜

27 カバーガラス

28、28a、28b、28aa、28ab、28ac、28Ac、28Ca、28Daa、28Dab、28Dba、28Dbb T S V

10

20

30

40

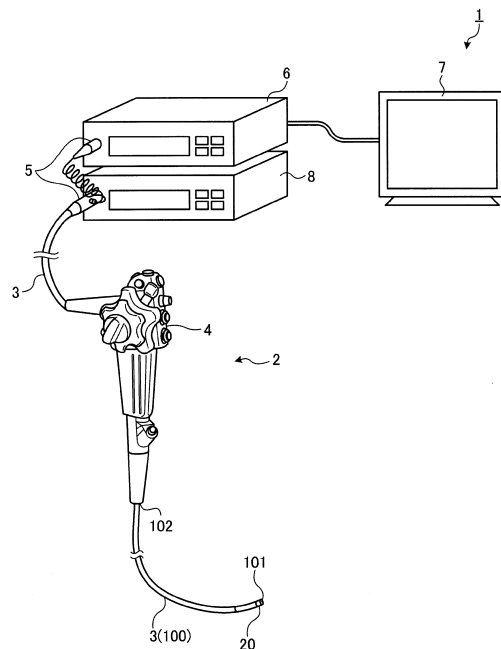
50

- 2 9 外部端子
- 3 0、3 0 a 引き出し配線
- 5 1 駆動パルス生成部
- 5 2 電源電圧生成部
- 6 1 電源部
- 6 2 画像信号処理部
- 6 3 クロック生成部
- 6 4 記録部
- 6 5 入力部
- 6 6 プロセッサ制御部
- 8 1 光源部
- 8 2 集光レンズ
- 8 3 照明制御部
- 1 0 0 挿入部
- 1 0 1 先端
- 1 0 2 基端
- 2 0 1 キャパシタチップ
- 2 0 1 a、2 1 2 キャパシタ
- 2 1 1 フレキシブル基板
- 2 2 1 C I S 側多層配線層
- 2 2 2 I S P 側多層配線層
- 2 2 3 透明接着剤
- L 1、L 2 距離
- P 1、P 2 面

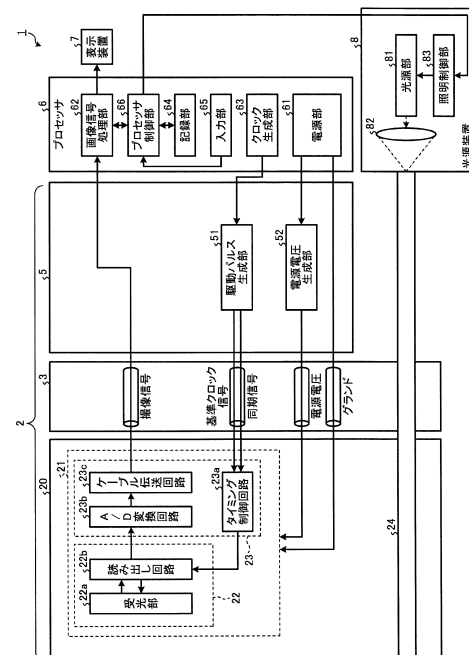
10

20

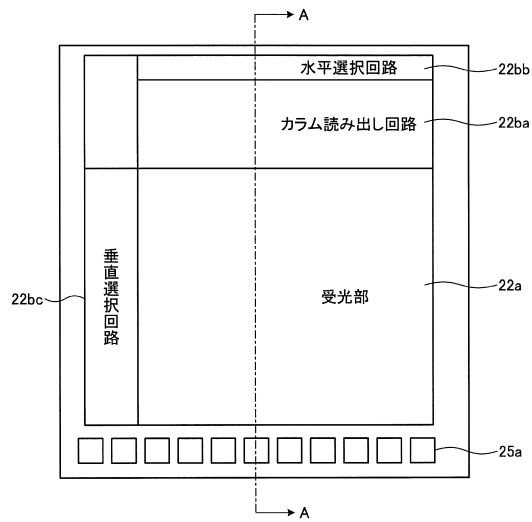
【図 1】



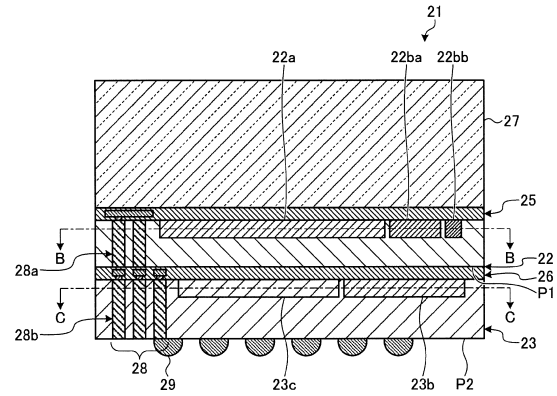
【図 2】



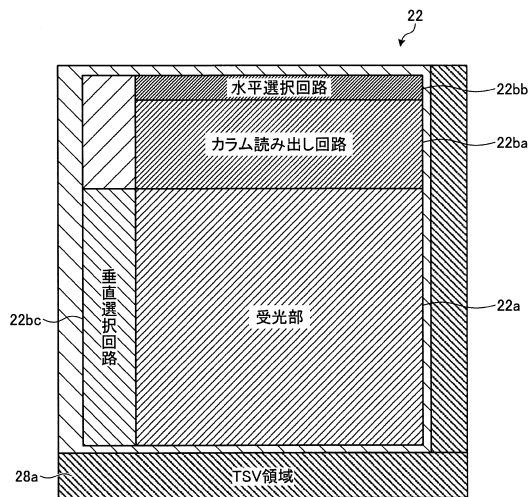
【図 3】



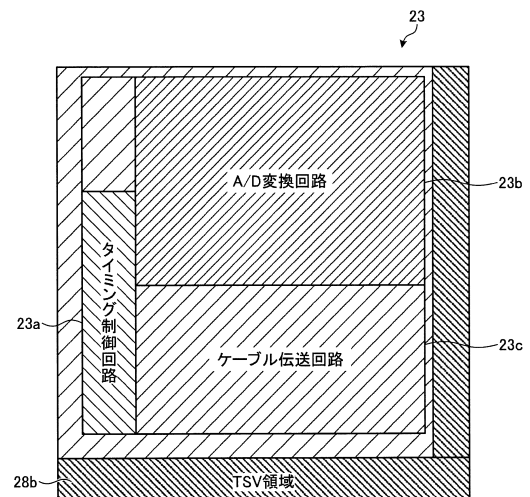
【図 4】



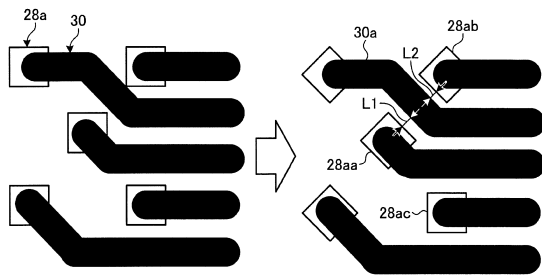
【図 5】



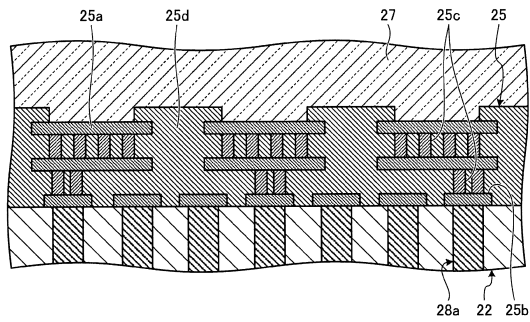
【図 6】



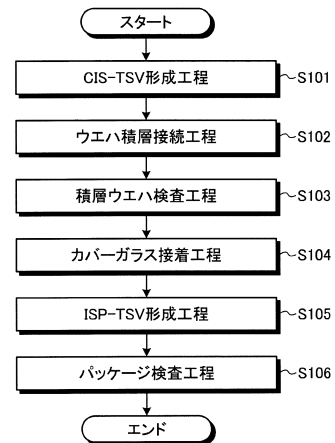
【図 7】



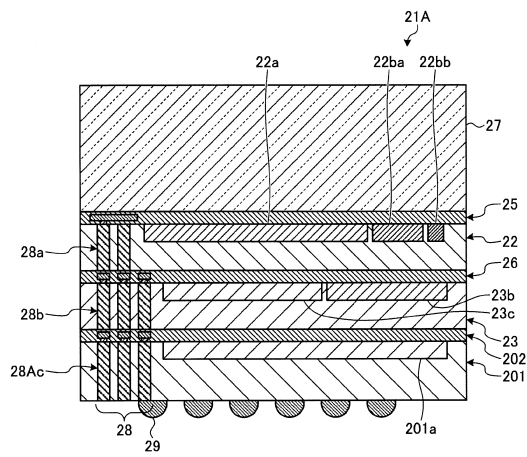
【図 8】



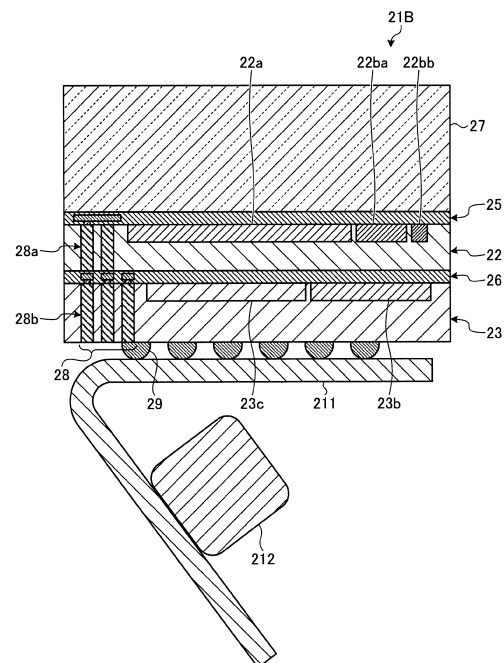
【図 9】



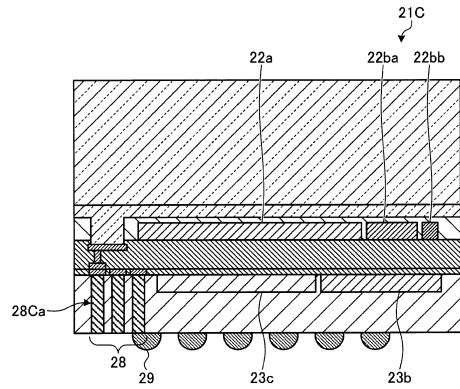
【図 10】



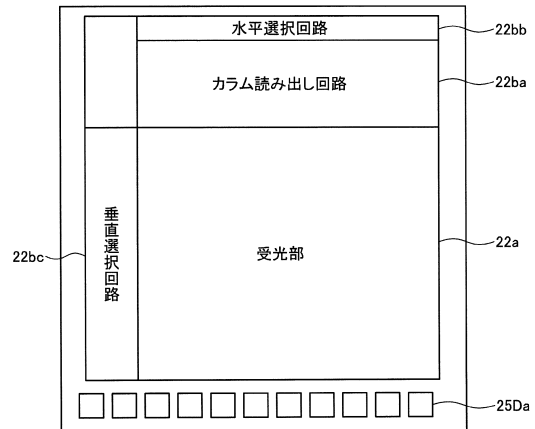
【図 11】



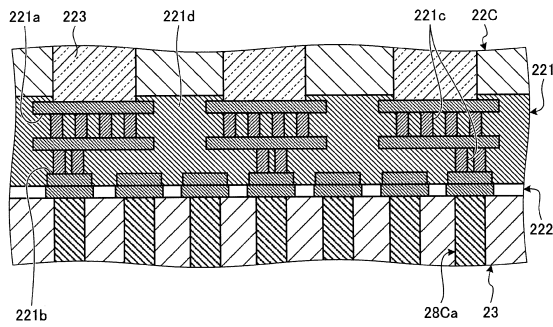
【図 1 2】



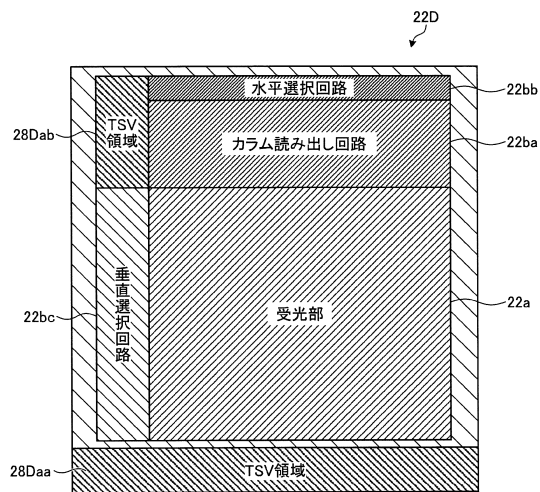
【図 1 4】



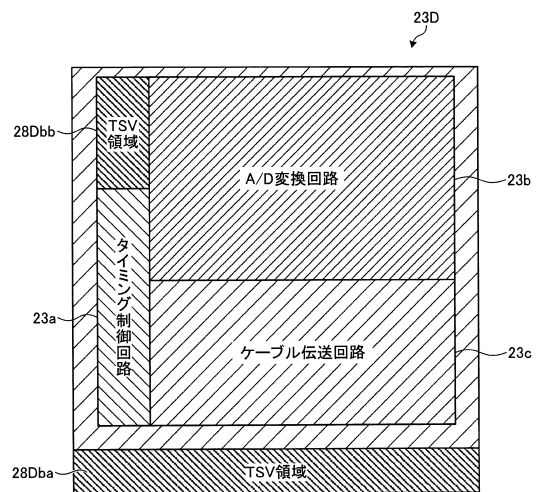
【図 1 3】



【図 1 5】



【図 1 6】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	25/065	(2006.01)	H 0 1 L	27/146 A
H 0 1 L	25/07	(2006.01)	H 0 1 L	27/146 D
H 0 1 L	25/18	(2006.01)	H 0 4 N	5/374
H 0 1 L	25/16	(2006.01)	H 0 4 N	5/378
H 0 1 L	27/146	(2006.01)		
H 0 4 N	5/374	(2011.01)		
H 0 4 N	5/378	(2011.01)		

- (72)発明者 齋藤 匡史
東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内
- (72)発明者 足立 理
東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内
- (72)発明者 赤羽 奈々
東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内
- (72)発明者 田中 孝典
東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内
- (72)発明者 細貝 克己
東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内

審査官 加藤 俊哉

- (56)参考文献 国際公開第 2 0 1 4 / 0 0 7 0 0 4 (W O , A 1)
国際公開第 2 0 1 4 / 1 1 5 3 9 0 (W O , A 1)
特開 2 0 1 0 - 2 4 5 5 0 6 (J P , A)
特開 2 0 1 2 - 2 4 4 1 0 0 (J P , A)
特開 2 0 1 5 - 1 5 3 9 3 0 (J P , A)
特開 2 0 1 4 - 1 7 9 4 3 3 (J P , A)
特開平 1 0 - 0 7 4 7 9 0 (J P , A)
国際公開第 2 0 1 5 / 1 0 7 9 4 8 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

A 6 1 B 1 / 0 4
H 0 1 L 2 1 / 3 2 0 5
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 1 2
H 0 1 L 2 3 / 5 2 2
H 0 1 L 2 5 / 0 6 5
H 0 1 L 2 5 / 0 7
H 0 1 L 2 5 / 1 6
H 0 1 L 2 5 / 1 8
H 0 1 L 2 7 / 1 4 6
H 0 4 N 5 / 3 7 4
H 0 4 N 5 / 3 7 8

专利名称(译)	成像设备，内窥镜和内窥镜系统		
公开(公告)号	JP6266185B2	公开(公告)日	2018-01-24
申请号	JP2017541720	申请日	2016-09-26
[标]申请(专利权)人(译)	奥林巴斯株式会社		
申请(专利权)人(译)	奥林巴斯公司		
当前申请(专利权)人(译)	奥林巴斯公司		
[标]发明人	五十嵐考俊 藤森紀幸 小野誠 齋藤匡史 足立理 赤羽奈々 田中孝典 細貝克己		
发明人	五十嵐 考俊 藤森 紀幸 小野 誠 齋藤 匡史 足立 理 赤羽 奈々 田中 孝典 細貝 克己		
IPC分类号	A61B1/04 H01L21/3205 H01L21/768 H01L23/522 H01L23/12 H01L25/065 H01L25/07 H01L25/18 H01L25/16 H01L27/146 H04N5/374 H04N5/378		
CPC分类号	A61B1/045 A61B1/05 A61B1/0638 H01L22/32 H01L27/14618 H01L27/14634 H01L27/14636 H01L27/1469 H04N5/2256 H04N5/23203 H04N5/379 H04N2005/2255 H01L27/14 H01L27/146 A61B1/00195 A61B1/063 H01L25/065 H01L25/07 H01L25/16 H01L25/18 H04N5/345 H04N5/3765 H04N5/378 H04N7/102		
FI分类号	A61B1/04 H01L21/88.J H01L23/12.501.P H01L25/08.C H01L25/16.A H01L27/146.A H01L27/146.D H04N5/374 H04N5/378		
审查员(译)	加藤俊		
优先权	2015196254 2015-10-01 JP		
其他公开文献	JPWO2017057291A1		
外部链接	Espacenet		

摘要(译)

一种成像装置，包括：第一芯片，包括光接收单元和读取电路；第二芯片，包括定时控制电路，A / D转换电路和电缆传输电路；连接单元，被配置为连接第一和第二芯片。读电路包括列读电路和水平选择电路，以及垂直选择电路。第一芯片的连接单元设置在沿矩形光接收单元的一侧的第一区域中，以及与列读取电路，水平选择电路和垂直选择电路相邻的第二区域中。第二芯片的连接单元设置在定时控制电路，A / D转换电路和电缆传输电路周围的第三区域中以及与时钟控制电路和A / D转换电路相邻的第四区域中。

(51) Int. Cl.			F I		
A 6 1 B	1/04	(2006. 01)	A 6 1 B	1/04	
H O 1 L	21/3205	(2006. 01)	H O 1 L	21/88	J
H O 1 L	21/768	(2006. 01)	H O 1 L	23/12	5 O 1 P
H O 1 L	23/622	(2006. 01)	H O 1 L	25/08	C
H O 1 L	23/12	(2006. 01)	H O 1 L	25/16	A
			請求項の数 11 (全 17 頁) 最終頁に続く		
(21) 出願番号 特願2017-541720 (P2017-541720)			(73) 特許権者 000000376		
(86) (22) 出願日 平成28年9月26日 (2016. 9. 26)			オリンパス株式会社		
(86) 国際出願番号 PCT/JP2016/078311			東京都八王子市石川町2 9 5 1 番地		
(87) 国際公開番号 W02017/057291			(74) 代理人 110002147		
(87) 国際公開日 平成28年4月6日 (2017. 4. 6)			特許業務法人酒井国際特許事務所		
審査請求日 平成28年8月7日 (2017. 8. 7)			(72) 発明者 五十嵐 考俊		
(31) 優先権主張番号 特願2015-196254 (P2015-196254)			東京都八王子市石川町2 9 5 1 番地 オリ		
(32) 優先日 平成27年10月1日 (2015. 10. 1)			ンパス株式会社内		
(33) 優先権主張国 日本国 (JP)			(72) 発明者 藤森 紀幸		
			東京都八王子市石川町2 9 5 1 番地 オリ		
早期審査対象出願			ンパス株式会社内		
			(72) 発明者 小野 誠		
			東京都八王子市石川町2 9 5 1 番地 オリ		
			ンパス株式会社内		
			最終頁に続く		
(54) 【発明の名称】 撮像素子、内視鏡、及び内視鏡システム					